

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-358799

(43) Date of publication of application : 13.12.2002

(51) Int.CI. G11C 29/00  
G01R 31/26  
G01R 31/28  
G11C 11/401

(21) Application number : 2001-162395 (71) Applicant : NEC MICROSYSTEMS LTD

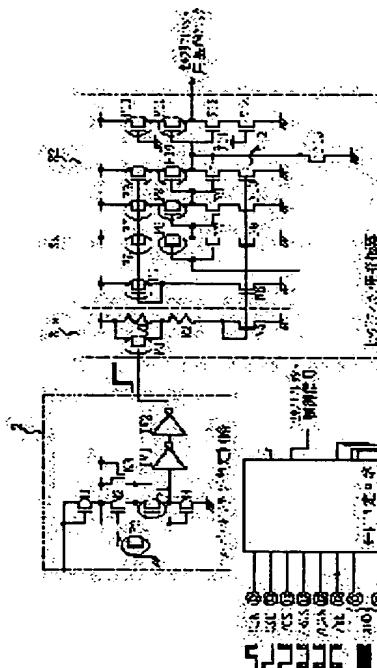
(22) Date of filing : 30.05.2001 (72) Inventor : SAHO KAZUHISA

## (54) SEMICONDUCTOR STORAGE DEVICE PROVIDED WITH SELF-REFRESHING FUNCTION, AND ITS INSPECTION METHOD

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor having a self-refreshing function in which the inspection standard margin is improved by considering temperature fluctuation.

**SOLUTION:** This device is provided with a resistance element R1 in which P channel MOS transistors P3 made non-conductive by an output of a super voltage discriminating circuit 2 at the time of a self-refreshing function inspection of upper stream inspection process are connected in parallel and one end is connected to a power source potential VCC, a resistance element R2 connected in series to the other end of this resistance element R1, and a N channel MOS transistor N5 which is connected in series between this resistance element R2 and a ground potential GND and of which a gate is commonly connected to a drain and a clock period control end of an oscillation means 32 being a reference clock generating means for self-refreshing of the next stage.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-358799

(P2002-358799A)

(43)公開日 平成14年12月13日 (2002.12.13)

(51)Int.Cl.<sup>7</sup>  
G 1 1 C 29/00  
G 0 1 R 31/26  
31/28  
G 1 1 C 11/401

識別記号  
6 7 1

F I  
G 1 1 C 29/00  
G 0 1 R 31/26  
G 1 1 C 11/34  
G 0 1 R 31/28

テマコト(参考)  
6 7 1 S 2 G 0 0 3  
H 2 G 1 3 2  
3 7 1 A 5 L 1 0 6  
B 5 M 0 2 4  
V

審査請求 未請求 請求項の数16 O.L (全 15 頁)

(21)出願番号 特願2001-162395(P2001-162395)

(22)出願日 平成13年5月30日 (2001.5.30)

(71)出願人 000232036

エヌイーシーマイクロシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72)発明者 佐保 和久  
神奈川県川崎市中原区小杉町一丁目403番  
53 エヌイーシーマイクロシステム株式会  
社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

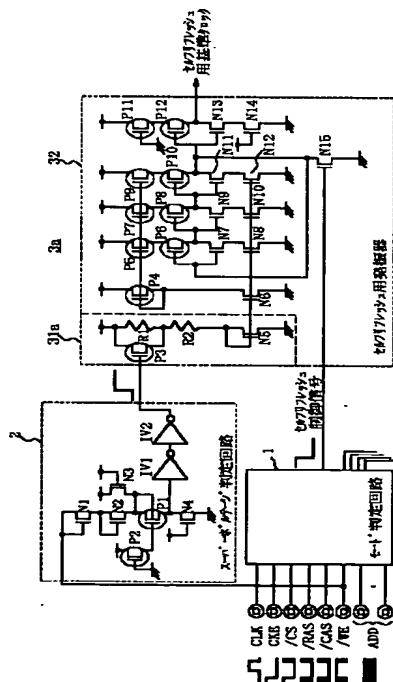
最終頁に続く

(54)【発明の名称】セルフリフレッシュ機能を備えた半導体記憶装置およびその検査方法

(57)【要約】

【課題】温度変動を考慮して検査規格マージンを改善したセルフリフレッシュ機能を備える半導体記憶装置を提供する。

【解決手段】上流検査工程のセルフリフレッシュ機能検査時に、スーパーポルテージ判定回路2の出力で非導通状態になるPチャネル型MOSトランジスタP3が並列接続されかつ一端が電源電位VCCに接続される抵抗素子R1と、この抵抗素子R1の他端に直列接続される抵抗素子R2と、この抵抗素子R2と接地電位GND間に直列接続されかつゲートがドレインおよび次段のセルフリフレッシュ用基準クロック生成手段である発振手段3のクロック周期制御端に共通接続されたNチャネル型MOSトランジスタN5とを備える。



## 【特許請求の範囲】

【請求項1】 半導体記憶装置の仕様に定める絶対最大定格のうち、動作周囲温度の上限に準じた基準高温度の雰囲気中で行う一次検査工程および二次検査工程下の各検査時に、前記基準高温度の変動許容範囲内で予め定められたセルフリフレッシュ機能の検査規格値を満たす半導体記憶装置選別手段として、前記一次検査工程下で前記変動許容範囲内の下限温度におけるセルフリフレッシュ完了に必要な時間となるセルホールド時間を前記二次検査工程時の所定倍にして検査するための、予め定める倍率である工程間余裕値の付加・削除手段を備えることを特徴とするセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項2】 前記工程間余裕値の付加・削除手段は、前記基準高温度の上下方向へのばらつきに対応して前記一次検査工程では前記二次検査工程時よりも長い前記セルホールド時間で検査するためのセルフリフレッシュ周期選択手段と、前記セルフリフレッシュ機能検査時に外部からの制御信号に応答して、前記セルフリフレッシュ周期選択手段を活性化または非活性化状態にする制御手段とを備える請求項1記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項3】 前記制御手段は、前記一次検査工程の前記セルフリフレッシュ機能検査時には電源電圧よりも高電圧レベルになり、前記二次検査工程の前記リフレッシュ機能検査時には電源電圧以下の低電圧レベルとなるライトイネーブル信号が外部から供給され、前記高電圧レベルになったライトイネーブル信号に応答して一方極性の論理レベルを出力し、前記二次検査工程の前記リフレッシュ機能検査時には他方極性の論理レベルを出力するスーパー・ボルテージ判定手段を有する請求項2記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項4】 前記セルフリフレッシュ周期選択手段は、前記一次検査工程の前記セルフリフレッシュ機能検査時に前記スーパー・ボルテージ判定手段出力で非活性化され非導通状態になる第1のPチャネル型MOSトランジスタが並列接続されかつ一端が電源電位に接続される第1の抵抗素子と、この第1の抵抗素子の他端に直列接続される第2の抵抗素子と、この第2の抵抗素子と接地電位間に直列接続されかつゲートがドレインおよび次段のセルフリフレッシュ用基準クロック生成手段のクロック周期制御端に共通接続された第1のNチャネル型MOSトランジスタとを備える請求項3記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項5】 前記セルフリフレッシュ周期選択手段は、前記二次検査工程の前記セルフリフレッシュ機能検査時に前記スーパー・ボルテージ判定手段出力で前記第1のPチャネル型MOSトランジスタが活性化され導通状態となり、かつ前記第1のPチャネル型MOSトランジスタに並列に挿入された前記第1の抵抗素子がバイパス

された状態の時、セルフリフレッシュ用基準クロックの周期がセルフリフレッシュ機能検査時以外の通常動作時と同じ周期になるように、予め前記第2の抵抗素子の抵抗値が設定されて前記検査工程間における前記工程間余裕値を確保する請求項3記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項6】 前記制御手段の前記スーパー・ボルテージ手段がテストモード判定手段であり、モードレジスタセット命令時のアドレス信号の組み合わせをテストモード判定手段の真理値表のうち空き論理を割り当てた組み合わせとし、前記アドレス信号の組み合わせで前記セルフリフレッシュ周期選択手段を制御する請求項3記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項7】 前記制御手段が、前記スーパー・ボルテージ手段または前記テストモード判定手段により、前記セルフリフレッシュ周期選択手段を前記一次検査工程の前記セルフリフレッシュ機能検査時の非活性化状態と前記二次検査工程時の活性化状態とを可逆的に設定する請求項3または6記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項8】 前記制御手段の入力信号入力は全て他の外部制御信号をそれぞれ共用し、かつ外部信号入力端子もそれぞれ対応する端子を共用する請求項2記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項9】 前記セルフリフレッシュ周期選択手段は、前記一次検査工程の前記セルフリフレッシュ機能検査時に、前記スーパー・ボルテージ判定手段出力で非活性化され非導通状態になる第2のPチャネル型MOSトランジスタのソースが電源電位に接続されこのトランジスタのドレインに一端が接続される第3の抵抗素子と、前記スーパー・ボルテージ判定手段出力の極性反転出力で活性化され導通状態になる第3のPチャネル型MOSトランジスタのソースが電源電位に接続されこのトランジスタのドレインに一端が接続される第4の抵抗素子と、前記第3および前記第4の抵抗素子の他端が共通接続されその共通接続端と接地電位間に直列接続されかつゲートがドレインおよび次段のセルフリフレッシュ用基準クロック生成手段のクロック周期制御端子に共通接続された第2のNチャネル型MOSトランジスタとを備える請求項3記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項10】 前記第1または前記第4の抵抗素子は、セルフリフレッシュ周期を $t_{RC SR}$ 、セルフリフレッシュ完了に必要なワード線本数を $n$ としたときの前記セルフリフレッシュ完了に必要なセルホールド時間 $t_{Ref} = t_{RC SR} \times n$ と、セルフリフレッシュ機能検査時の前記基準高温度を $T$ 、セルフリフレッシュ機能検査時の測定系の持つ温度ばらつきを $\pm a$ としたときのセルホールド実力 $(T - a) - \text{セルホールド実力} (T + a) = b$ と、前記ばらつきの許容範囲における前記セル

ホールド時間に付加する工程間余裕値 ( $t_{Ref}(T+a) - t_{Ref}(T-a)$ )  $\times n = c$  と、前記セルフリフレッシュ周期選択手段でセルフリフレッシュ周期を前記基準高温度における実数倍に延長して調整するための前記実数倍の倍率  $\alpha$  を基に、 $\alpha = 1 + (b + c) / t_{Ref}$  を満足するように、予め抵抗値が設定される請求項4または9記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項11】 前記第2の抵抗素子および前記第3の抵抗素子の抵抗値が予め等しく設定される請求項4または9記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項12】 前記第4の抵抗素子の抵抗値が、前記第1および前記第2の抵抗素子の抵抗値の和に等しく予め設定される請求項4または9記載のセルフリフレッシュ機能を備えた半導体記憶装置。

【請求項13】 半導体記憶装置の仕様に定める絶対最大定格のうち、動作周囲温度の上限に準じた基準高温度の雰囲気中で行う一次検査工程および二次検査工程下の各検査時に、前記基準高温度の変動許容範囲内で予め定められたセルフリフレッシュ機能の検査規格値を満たす半導体記憶装置選別手段として、前記一次検査工程下で前記変動許容範囲内の下限温度におけるセルフリフレッシュ完了に必要な時間となるセルホールド時間を前記二次検査工程時の所定倍にして検査するための、予め定める倍率である工程間余裕値の付加・削除手段を備え、前記温度変動範囲で前記検査規格値を満たす工程間余裕値

は、前記一次検査工程では付与されるとともに、前記二次検査工程では、前記セルフリフレッシュ機能の不良発生を回避するために削除されることを特徴とするセルフリフレッシュ機能を備えた半導体記憶装置の検査方法。

【請求項14】 前記工程間余裕値は、前記制御手段を外部から制御しさらに前記工程間余裕値の付加・削除手段でセルフリフレッシュ周期を前記基準高温度での実数倍に延長して調整される請求項13記載のセルフリフレッシュ機能を備えた半導体記憶装置の検査方法。

【請求項15】 前記基準高温度での実数倍の範囲に前記工程間余裕値の付加・削除手段の出力電圧を変化させるとともに、前記出力電圧でセルフリフレッシュ用基準クロック生成手段を制御してセルフリフレッシュ用基準クロックの周期を設定する請求項14記載のセルフリフレッシュ機能を備えた半導体記憶装置の検査方法。

【請求項16】 半導体記憶装置の仕様に定める絶対最大定格のうち、動作周囲温度の上限に準じた基準高温度の雰囲気中で行う一次検査工程および二次検査工程下の各検査時に、前記基準高温度の変動許容範囲内で予め定められたセルフリフレッシュ機能の検査規格値を満たす半導体記憶装置選別手段として、前記一次検査工程下で前記変動許容範囲内の下限温度におけるセルフリフレッシュ完了に必要な時間となるセルホールド時間を前記二

次検査工程時の所定倍にして検査するための、予め定める倍率である工程間余裕値の付加・削除手段を備え、前記一次検査工程では、テストプログラムにより外部信号のライトイネーブルバー信号を電源電圧よりも高電圧レベルにするステップと、前記高電圧レベルに応答して前記制御手段に論理レベルの一方レベルを出力させるステップと、前記一方レベルに応答して前記工程間余裕値の付加・削除手段により前記二次検査工程の前記セルホールド時間に対して両工程間の前記工程間余裕値を付加させるステップと、前段のステップで付加された工程間余裕値を加えたセルホールド時間でセルフリフレッシュ機能を検査するステップとに順じて検査し、前記一次検査工程で得られた良品に対し前記二次検査工程では、前記テストプログラムにより前記ライトイネーブルバー信号を電源電圧以下のレベルにするステップと、前記電源電圧以下のレベルに応答して前記制御手段に論理レベルの他方レベルを出力させるステップと、前記他方レベルに応答して前記工程間余裕値の付加・削除手段により前記両工程間の工程間余裕値を削除させるステップと、前記工程間余裕値が削除された前記セルホールド時間でセルフリフレッシュ機能を検査するステップとに順じて検査することにより、前記二次検査工程で前記高温度が許容範囲の上限にいずれも前記一次検査工程で良品であれば前記二次検査工程での検査規格を満足することを特徴とするセルフリフレッシュ機能を備えた半導体記憶装置の検査方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明はセルフリフレッシュ機能を備えた半導体記憶装置およびその検査方法に係わり、特に製品のセルフリフレッシュ機能検査時に、温度変動を考慮して検査規格マージンを改善したセルフリフレッシュ機能を備えた半導体記憶装置およびその検査方法に関する。

##### 【0002】

【従来の技術】 近年、半導体素子の微細化技術の進展に伴い、その半導体素子で構成するLSIも大規模化しており、特に半導体記憶装置(メモリ)の分野ではその傾向が顕著である。

【0003】 例えば、1チップに256メガビットの容量を有する半導体メモリとしてダイナミック型ランダムアクセスメモリ(DRAM)やシンクロナス・ダイナミック・ランダムアクセス・メモリ(SDRAM)も実用化されている。

【0004】 この種の従来の半導体記憶装置のうちDRAM(Dynamic Random Access Memory)において、そのメモリセルの基本構成は1個の容量素子(以下、メモリ素子と称す)および1個のスイッチング用トランジスタからなり、スイッチング用トランジスタのゲートをワード線で駆動することによ

りメモリ素子に記憶されたデータをビット線に読み出し、あるいはビット線からデータを書きめるように構成されている。

【0005】上述したメモリ素子の電荷は、リーク電流により徐々に減少してしまうので、一定時間毎に補充する必要がある。すなわち、メモリ素子に格納されたデータをビット線に読み出し、読み出したデータをセンサアンプで増幅した後に、増幅したデータを再びメモリ素子に書き戻すことにより、データを保持させるリフレッシュが必要であり、動作モードにエントリ期間中は自動的に一定周期でリフレッシュを行うセルフリフレッシュが必要である。

【0006】このセルフリフレッシュを、搭載する全てのメモリ素子に対して行い最初のメモリ素子から再度実行するまで各メモリ素子はデータを保持する必要がある。そのデータ保持時間（セルホールド時間）を考慮して、格納されたデータが失われる前にセルフリフレッシュが行われるように予め設定されている。

【0007】しかしながら、メモリ素子のセルホールド時間は、周囲温度の影響を受けて変動し、その変動幅は高温時の方が厳しく、セルホールド時間は短くなる。そのため、従来のDRAMでは高温時のセルホールド時間に合わせてセルフリフレッシュ周期の設定がなされている場合が多い。

【0008】従来の半導体記憶装置のセルフリフレッシュ機能に関わる主要部の構成の一例を示した図8を参照すると、従来の半導体記憶装置は、モード判定回路1と、セルフリフレッシュ用発振器3cとから構成される。

【0009】モード判定回路1は、外部入力信号としてクロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CE（／は負論理を示すバーを表す）、ロウアドレスストローブ/RAS、カラムアドレスストローブ/CAS、ライトイネーブル信号/WE、アドレス信号ADDを入力し、真理値表にしたがってデコードしてセルフリフレッシュ制御信号を生成するとともに、レイテンシ、バースト長、ラップタイプを判定し、かつ判定結果を保持する。

【0010】セルフリフレッシュ用発振器3cは、電源電圧VCCおよび接地電位GND間に直列状態で接続される定電圧源33と、発振手段32とからなり、モード判定回路1から出力される論理レベルのLowレベルの信号に応答してセルフリフレッシュ用基準クロック出力が制御されるように構成される。

【0011】すなわち、この従来の半導体記憶装置は、セルフリフレッシュ用基準クロックの発振周期は一定であり、クロックを出力するか否かが制御される。

【0012】上述した従来のセルフリフレッシュ機能を有する半導体記憶装置のセルフリフレッシュ周期は、半導体記憶装置の構成要素の出来上り特性によってばらつ

くものの、温度および電圧依存を除けば、ほぼ固定である。

【0013】また、高温でセルフリフレッシュ機能の検査および選別を行う時に検査対象となるのはセルフリフレッシュカウンタ動作とセルホールド時間である。

【0014】つまり、セルフリフレッシュ周期=セルフリフレッシュカウンタ周期=(セルフリフレッシュ用基準クロック)×(倍数:β)の関係があり、一般にセルフリフレッシュカウンタ周期はセルフリフレッシュ用基準クロックを整数倍して使用する。

【0015】なお、ここでの高温とは、半導体記憶装置の仕様に定める絶対最大定格のうち、動作周囲温度の上限における高温度状態のことである。すなわち、製造時においてパッケージ封入後に行う検査において適用され、動作周囲温度の上限に準じた値を使用し、製品の消費電流、パッケージの材質、構造から熱抵抗を計算して定めた温度である。

【0016】前述したように、セルフリフレッシュ機能検査において要求されるセルホールド時間は、セルフリフレッシュ周期(=セルフリフレッシュカウンタ周期=セルフリフレッシュ用基準クロック×倍数:β)

と全てのロウアドレスにアクセスするのに要する回数との積によって求めることが出来、さらに、セルフリフレッシュ周期と、全ロウアドレスにアクセスするのに要する回数との何れも固定であるので、セルフリフレッシュ機能検査で要求されるセルホールド時間も固定となる。

【0017】

【発明が解決しようとする課題】上述した従来の半導体記憶装置においては、ストレス加速試験であるBT試験時の前後に行われる検査であって、絶対最大定格のうち、動作周囲温度の上限で、ストレス加速試験の前に行う上流検査工程と、ストレス加速試験の後に先の動作周囲温度の上限と同一の高温度状態で行う下流検査工程との2つのセルフリフレッシュ機能検査が行われる。

【0018】その時、従来のセルフリフレッシュ機能を有する半導体記憶装置では、測定対象デバイスに要求されるセルホールド実力(=tRef)は工程によらず測定温度で一義的に決定される。

【0019】また、温度に対するセルホールド時間の関係を示した図9を参照すると、高温の基準温度Tに対して、高温が-aまたは+aだけずれた場合、測定対象の半導体記憶装置またはシミュレーションによるセルフリフレッシュ周期温度特性は、温度T-aおよびT+a点で比較すると、温度T-aの方が温度T+aよりもc時間分だけ、期待されるメモリセルのデータ保持時間が短くなる。

【0020】温度T-aにおいて上流検査工程で最も緩い選別条件となる点と温度軸上の基準温度T点を結ぶ傾斜を有する直線(実デバイスのメモリセルデータ保持時

間温度特性を示す点線と同じ傾斜特性をもつ)を境にして上側が上流検査工程における選別結果が良品と判定される測定対象の半導体記憶装置が分布する Pass 領域である。

【0021】同図においてセルフリフレッシュ機能検査が行われる測定系はある程度の温度ばらつきを持ち、セルホールド実力は温度が高くなるほど減少する特性(上述の傾斜を有する直線)を持つので、下流検査工程の検査時の温度が上流検査工程の検査時における温度よりも高くなつた場合((T-a) → (T+a))、上述の傾斜を有する直線も、温度T+aにおけるシミュレーションによるセルフリフレッシュ周期温度特性の示すデータ保持時間((T-a)よりも時間c分だけ長くなる)の示す下流検査工程で最も厳しい選別条件の点までシフトするので、上流で良品となつたものが下流では不良と判定されてしまうことになる。

【0022】下流検査工程での不良発生は検査効率低下をもたらすことから、従来はセルフリフレッシュ周期をセルホールド実力に対して余裕のある適切な値に調整することで対応して来たが根本的な対策にはならず、微細化(=メモリセル容量小)によってセルホールドが減少し、また省電力要求によってセルフリフレッシュ周期の調整可能範囲も縮小され、充分な余裕が取れなくなつてきていた。

【0023】なお、セルフリフレッシュ用基準クロックからセルフリフレッシュ周期を作る時の倍率 $\beta$ を、当該半導体記憶装置に内蔵したフラッシュ(Flash)メモリ等に記憶させて制御することで、倍率 $\beta$ を任意に変更可能とする公知の技術もある。

【0024】しかし、それは可能なだけであり、主眼はセルフリフレッシュ周期をいかに設計値、あるいは適切な値に合わせ込むかであつて、工程間余裕の確保といった考えは無い。

【0025】工程間余裕の確保といった考え方がないので、仮にそれを行おうとしても、元々、個々の半導体記憶装置においてそれぞれセルフリフレッシュ周期が適切な値になる様に個別の倍率 $\beta$ を与えることが目的になっているため、半導体記憶装置個別にセルフリフレッシュ周期の測定、演算、フラッシュメモリへの書き込みが必要となり、検査プログラムが複雑になる上、複数個同時測定のメリットが活かせない結果となる。

【0026】一方、特許第2606669号公報には、セルフリフレッシュのタイマー周期をメモリセルのデータ保持期間の温度依存係数と同一の温度係数倍する例が記載されている。同公報記載の半導体記憶装置では、常温のテストにより規定温度範囲におけるセルフリフレッシュ動作時のデータ保持不良をなくす手段として、リング発振回路の出力をカウントする一方のカウンタ回路と、その一方のカウンタ回路の出力する周期にメモリセルの規定温度範囲の最高温時のデータ保持時間に対する

常温時のデータ保持時間の変化分と対応する係数を乗じた周期を出力する他方のカウンタ回路とを有し、これら2系統のカウンタ回路の出力を切換回路で選択することでセルフリフレッシュ周期を変化させている。しかし、2系統のカウンタ回路と切換回路とを備えねばならず回路構成の規模が大きくなる。

【0027】また、特開平11-031383号公報には、セルフリフレッシュモードにおけるセルフリフレッシュ周期を外部から選択的に切り換える例が記載されている。しかし、同公報記載の半導体記憶装置では切換のための制御信号端子が専用に2個必要となる。

【0028】特開平5-054648号公報には、外部からの書き込み制御信号WEのハイレベル、ロウレベルに応答してセルフリフレッシュの周期を適正に設定することが記載されているが、単にハイレベルかロウレベルかを必要としているだけで、後述する本発明のような電源電圧よりも高い電圧レベルを用いるわけではない。

【0029】このため、客先等で誤って同公報記載の開示技術の動作状態となってしまう可能性を否定できない。

【0030】本発明の目的は、上述した従来の欠点に鑑みなされたものであり、製品のセルフリフレッシュ機能検査時に、上流検査工程ではデータ保持時間が製品出来上り時の特性の $\alpha$ 倍で試験が行われるため、下流検査工程では上流検査工程で良品となつたものであれば不良となることがなく、また、回路的にはセルフリフレッシュ周期の値の如何に関らず出来上り時特性の実数倍に出来ると云うシンプルな機能追加であり、殆どの回路を従来例と共に、あるいは流用が出来、さらには、検査プログラムにおいても新たに考慮するのは/ライトイネーブル信号/WEのレベル制御だけで良く、検査測定系の改造も必要が無いセルフリフレッシュ機能を備えた半導体記憶装置およびその検査方法を提供することにある。

【0031】

【課題を解決するための手段】本発明のセルフリフレッシュ機能を備えた半導体記憶装置は、半導体記憶装置の仕様に定める絶対最大定格のうち、動作周囲温度の上限に準じた基準高温度の雰囲気中で行う一次検査工程および二次検査工程下の各検査時に、前記基準高温度の変動許容範囲内で予め定められたセルフリフレッシュ機能の検査規格値を満たす半導体記憶装置選別手段として、前記一次検査工程下で前記変動許容範囲内の下限温度におけるセルフリフレッシュ完了に必要な時間となるセルホールド時間を前記二次検査工程時の所定倍にして検査するための、予め定める倍率である工程間余裕値の付加・削除手段を備えることを特徴とする。

【0032】また、前記工程間余裕値の付加・削除手段は、前記基準高温度の上下方向へのばらつきに対応じて前記一次検査工程では前記二次検査工程時よりも長い前記セルホールド時間で検査するためのセルフリフレッシュ

ユ周期選択手段と、前記セルフリフレッシュ機能検査時に外部からの制御信号に応答して、前記セルフリフレッシュ周期選択手段を活性化または非活性化状態にする制御手段とを備える。

【0033】さらに、前記制御手段は、前記一次検査工程の前記セルフリフレッシュ機能検査時には電源電圧よりも高電圧レベルになり、前記二次検査工程の前記リフレッシュ機能検査時には電源電圧以下の低電圧レベルとなるライトイネーブル信号が外部から供給され、前記高電圧レベルになったライトイネーブル信号に応答して一方極性の論理レベルを出力し、前記二次検査工程の前記リフレッシュ機能検査時には他方極性の論理レベルを出力するスーパー・ボルテージ判定手段を有してもよい。

【0034】さらにまた、前記セルフリフレッシュ周期選択手段は、前記一次検査工程の前記セルフリフレッシュ機能検査時に前記スーパー・ボルテージ判定手段出力で非活性化され非導通状態になる第1のPチャネル型MOSトランジスタが並列接続されかつ一端が電源電位に接続される第1の抵抗素子と、この第1の抵抗素子の他端に直列接続される第2の抵抗素子と、この第2の抵抗素子と接地電位間に直列接続されかつゲートがドレインおよび次段のセルフリフレッシュ用基準クロック生成手段のクロック周期制御端に共通接続された第1のNチャネル型MOSトランジスタとを備えることができる。

【0035】また、前記セルフリフレッシュ周期選択手段は、前記二次検査工程の前記セルフリフレッシュ機能検査時に前記スーパー・ボルテージ判定手段出力で前記第1のPチャネル型MOSトランジスタが活性化され導通状態となり、かつ前記第1のPチャネル型MOSトランジスタに並列に挿入された前記第1の抵抗素子がバイパスされた状態の時、セルフリフレッシュ用基準クロックの周期がセルフリフレッシュ機能検査時以外の通常動作時と同じ周期になるように、予め前記第2の抵抗素子の抵抗値が設定されて前記検査工程間における前記工程間余裕値を確保することもできる。

【0036】さらに、前記制御手段の前記スーパー・ボルテージ手段がテストモード判定手段であり、モードレジスタセット命令時のアドレス信号の組み合わせをテストモード判定手段の真理値表のうち空き論理を割り当てた組み合わせとし、前記アドレス信号の組み合わせで前記セルフリフレッシュ周期選択手段を制御してもよい。

【0037】さらにまた、前記制御手段が、前記スーパー・ボルテージ手段または前記テストモード判定手段により、前記セルフリフレッシュ周期選択手段を前記一次検査工程の前記セルフリフレッシュ機能検査時の非活性化状態と前記二次検査工程時の活性化状態とを可逆的に設定することができる。

【0038】また、前記制御手段の入力信号入力は全て他の外部制御信号をそれぞれ共用し、かつ外部信号入力端子もそれぞれ対応する端子を共用する。

【0039】さらに、前記セルフリフレッシュ周期選択手段は、前記一次検査工程の前記セルフリフレッシュ機能検査時に、前記スーパー・ボルテージ判定手段出力で非活性化され非導通状態になる第2のPチャネル型MOSトランジスタのソースが電源電位に接続されこのトランジスタのドレインに一端が接続される第3の抵抗素子と、前記スーパー・ボルテージ判定手段出力の極性反転出力で活性化され導通状態になる第3のPチャネル型MOSトランジスタのソースが電源電位に接続されこのトランジスタのドレインに一端が接続される第4の抵抗素子と、前記第3および前記第4の抵抗素子の他端が共通接続されその共通接続端と接地電位間に直列接続されかつゲートがドレインおよび次段のセルフリフレッシュ用基準クロック生成手段のクロック周期制御端子に共通接続された第2のNチャネル型MOSトランジスタとを備えてよい。

【0040】さらにまた、前記第1または前記第4の抵抗素子は、セルフリフレッシュ周期を $t_{RCSR}$ 、セルフリフレッシュ完了に必要なワード線本数をnとしたときの前記セルフリフレッシュ完了に必要なセルホールド時間 $t_{Ref} = t_{RCSR} \times n$ と、セルフリフレッシュ機能検査時の前記基準高温度をT、セルフリフレッシュ機能検査時の測定系の持つ温度ばらつきを $\pm a$ としたときのセルホールド実力 $(T - a) - \text{セルホールド実力}$  $(T + a) = b$ と、前記ばらつきの許容範囲における前記セルホールド時間に付加する工程間余裕値 $(t_{Ref} (T + a) - t_{Ref} (T - a)) \times n = c$ と、前記セルフリフレッシュ周期選択手段でセルフリフレッシュ周期を前記基準高温度における実数倍に延長して調整するための前記実数倍の倍率 $\alpha$ とを基に、 $\alpha = 1 + (b + c) / t_{Ref}$ を満足するように、予め抵抗値が設定することができる。

【0041】また、前記第2の抵抗素子および前記第3の抵抗素子の抵抗値が予め等しく設定してもよい。

【0042】さらに、前記第4の抵抗素子の抵抗値が、前記第1および前記第2の抵抗素子の抵抗値の和に等しく予め設定してもよい。

【0043】本発明のセルフリフレッシュ機能を備えた半導体記憶装置の検査方法は、半導体記憶装置の仕様に定める絶対最大定格のうち、動作周囲温度の上限に準じた基準高温度の雰囲気中で行う一次検査工程および二次検査工程下の各検査時に、前記基準高温度の変動許容範囲内で予め定められたセルフリフレッシュ機能の検査規格値を満たす半導体記憶装置選別手段として、前記一次検査工程下で前記変動許容範囲内の下限温度におけるセルフリフレッシュ完了に必要な時間となるセルホールド時間を前記二次検査工程時の所定倍にして検査するための、予め定める倍率である工程間余裕値の付加・削除手段を備え、前記温度変動範囲で前記検査規格値を満たす工程間余裕値は、前記一次検査工程では付与されるとと

もに、前記二次検査工程では、前記セルフリフレッシュ機能の不良発生を回避するために削除されることを特徴とする。

【0044】また、前記工程間余裕値は、前記制御手段を外部から制御しさらに前記工程間余裕値の付加・削除手段でセルフリフレッシュ周期を前記基準高温度での実数倍に延長して調整することができる。

【0045】さらに、前記基準高温度での実数倍の範囲に前記工程間余裕値の付加・削除手段の出力電圧を変化させるとともに、前記出力電圧でセルフリフレッシュ用基準クロック生成手段を制御してセルフリフレッシュ用基準クロックの周期を設定することもできる。

【0046】本発明のセルフリフレッシュ機能を備えた半導体記憶装置の検査方法の他の特徴は、半導体記憶装置の仕様に定める絶対最大定格のうち、動作周囲温度の上限に準じた基準高温度の雰囲気中で行う一次検査工程および二次検査工程下の各検査時に、前記基準高温度の変動許容範囲内で予め定められたセルフリフレッシュ機能の検査規格値を満たす半導体記憶装置選別手段として、前記一次検査工程下で前記変動許容範囲内の下限温度におけるセルフリフレッシュ完了に必要な時間となるセルホールド時間を前記二次検査工程時の所定倍にして検査するための、予め定める倍率である工程間余裕値の付加・削除手段を備え、前記一次検査工程では、テストプログラムにより外部信号のライトイネーブルバー信号を電源電圧よりも高電圧レベルにするステップと、前記高電圧レベルに応答して前記制御手段に論理レベルの一方レベルを出力させるステップと、前記一方レベルに応答して前記工程間余裕値の付加・削除手段により前記二次検査工程の前記セルホールド時間に対して両工程間の前記工程間余裕値を付加させるステップと、前段のステップで付加された工程間余裕値を加えたセルホールド時間でセルフリフレッシュ機能を検査するステップとに順じて検査し、前記一次検査工程で得られた良品に対し前記二次検査工程では、前記テストプログラムにより前記ライトイネーブルバー信号を電源電圧以下のレベルにするステップと、前記電源電圧以下のレベルに応答して前記制御手段に論理レベルの他方レベルを出力させるステップと、前記他方レベルに応答して前記工程間余裕値の付加・削除手段により前記両工程間の工程間余裕値を削除させるステップと、前記工程間余裕値が削除された前記セルホールド時間でセルフリフレッシュ機能を検査するステップとに順じて検査することにより、前記二次検査工程で前記高温度が許容範囲の上限にいずれも前記一次検査工程で良品であれば前記二次検査工程での検査規格を満足することにある。

【0047】

【発明の実施の形態】はじめに本発明の概要を述べると、従来、セルフリフレッシュ機能試験の検査歩留向上については「セルフリフレッシュ周期を如何にして設計

值に近付けるか」と云うアプローチが主であって、前述したように、半導体記憶装置においては、半導体記憶装置の仕様に定める絶対最大定格の内、保存温度の上限の雰囲気中でストレス加速試験を行うBT試験があり、動作周囲温度の上限に準じた高温度状態でストレス加速試験の直前に行う一次検査工程、すなわち上流検査工程と、ストレス加速試験の後に、上述した動作周囲温度の上限に準じた高温度状態で行う二次検査工程、すなわち下流検査工程との2つのセルフリフレッシュ機能検査が行われている。

【0048】その際、両工程間の温度変動範囲内で検査規格値を満たす半導体記憶装置を選別するための選別手段として、一次検査工程下で前記変動許容範囲内の下限温度におけるセルフリフレッシュ完了に必要な時間を基準値の所定倍にして試験するために予め定める倍率である工程間余裕値を確保する必要があるが、その確保としては、測定電圧か別途検査しているセルホールド程度しか考慮されていなかった。

【0049】本発明では後述する本発明の、第1の実施の形態の回路図を示した図1、第2の実施の形態の回路図を示した図3、第3の実施の形態の回路図を示した図6に示すように、セルホールドおよびセルフリフレッシュ周期の温度依存性、検査測定系の温度ばらつきを考慮した工程間余裕値が得られるようにした手段が予め回路的に設けてあり（図中の符号31a、31bで示す）、セルフリフレッシュ機能試験時に外部からの制御で工程間余裕値を付与、または削除することが可能な構成になっている。

【0050】工程間余裕値を付与、または削除が可能な構成とすることにより、製品のセルフリフレッシュ機能検査時（=高温度状態での試験）に、工程間余裕値を上流検査工程では付与、下流検査工程では削除することで、下流検査工程でのセルフリフレッシュ機能不良発生を防止し、検査効率の向上を図るものである。

【0051】次に、本発明の第1の実施の形態を図面を参照しながら説明する。図1を参照すると、本発明の半導体記憶装置に適用するセルフリフレッシュに関わる部分は、モード判定回路1と、スーパーボルテージ判定回路2と、セルフリフレッシュ用発振器3aとから構成される。

【0052】モード判定回路1は、外部入力信号としてクロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/C.E.、ロウアドレスストローブ/R.A.S.、カラムアドレスストローブ/C.A.S.、ライトイネーブル信号/WE、アドレス信号ADDを入力し、真理値表にしたがってデコードしてセルフリフレッシュ制御信号を生成するとともに、レイテンシ、バースト長、ラップタイプを判定し、かつ判定結果を保持する。

【0053】スーパーボルテージ判定回路2は、外部から与えられるライトイネーブル信号/WEと電源電圧V

CCとを比較し、ライトイネーブル信号／WEが電源電圧VCCよりも高電圧であれば論理レベルのHighレベルを出力する。

【0054】ここでのライトイネーブル信号／WEは、この半導体記憶装置の検査に使用するテストプログラムにおいて、ライトイネーブル信号／WEに使用する電源電圧レベルを電源電圧VCCよりも高電圧に設定する。

【0055】スーパー・ボルテージ判定回路2の構成は、ライトイネーブル信号／WEが与えられる端子と接地電位GNDとの間に、Nチャネル型MOSトランジスタN1、N2とPチャネル型MOSトランジスタP1とNチャネル型MOSトランジスタN4とが直列接続され、Nチャネル型MOSトランジスタN1、N2はそれぞれのゲートおよびドレインが接続される。Nチャネル型MOSトランジスタN4はゲートが電源電圧VCCに接続される。

【0056】さらに、Pチャネル型MOSトランジスタP1のゲートおよび電源電圧VCC間にPチャネル型MOSトランジスタP2が接続され、そのゲートは接地電位GNDに接続される。

【0057】さらにまた、Pチャネル型MOSトランジスタP1のソースおよびその基板電位が接続されその接続点および電源電圧VCC間にNチャネル型MOSトランジスタN3が接続され、そのゲートは電源電圧VCCに接続される。

【0058】また、Nチャネル型MOSトランジスタN4のドレインおよび出力端の間にインバータIV1、IV2が直列接続で接続される。

【0059】セルフリフレッシュ用発振器3aは、スーパー・ボルテージ判定回路2から出力されるハイレベルの信号に応答して本発明による工程間余裕値が付加され、発振周期が長くなるように制御される。

【0060】そのセルフリフレッシュ用発振器3aの構成は、本発明による工程間余裕値の付加・削除手段としてのセルフリフレッシュ周期選択手段31aと、セルフリフレッシュ用基準クロックを発生する発振手段32とから構成される。

【0061】セルフリフレッシュ周期選択手段31aは、前述した上流検査工程のセルフリフレッシュ機能検査時に、スーパー・ボルテージ判定回路2の出力で非活性化され非導通状態になるPチャネル型MOSトランジスタP3が並列接続されかつ一端が電源電圧VCCに接続される抵抗素子R1と、この抵抗素子R1の他端に直列接続される抵抗素子R2と、この抵抗素子R2と接地電位GND間に直列接続されかつゲートがドレインおよび次段のセルフリフレッシュ用基準クロック生成手段である発振手段32のクロック周期制御端子（後述するNチャネル型MOSトランジスタN8、N10、N12のゲート）に共通接続されたNチャネル型MOSトランジスタN5とを備える。

【0062】発振手段32は、定電圧供給源であるPチャネル型MOSトランジスタP4およびNチャネル型MOSトランジスタN6の直列接続体と、リング発振器を構成するPチャネル型MOSトランジスタP5～P10およびNチャネル型MOSトランジスタN7～N12と、出力段のPチャネル型MOSトランジスタP11～P12およびNチャネル型MOSトランジスタN13～N14と、発振制御用Nチャネル型MOSトランジスタN15とから構成されている。

【0063】次に、上述した構成に基づきその動作を説明する。

【0064】スーパー・ボルテージ判定回路2の出力は、ライトイネーブル信号／WEの電圧レベルが電源電圧VCCを越えると、デフォルトのLowレベルからHighレベルへと変化する。

【0065】ここでライトイネーブル信号／WEを電源電圧VCCよりも高電圧にするには、この半導体記憶装置を検査するメモリテストに予め格納する検査用テストプログラムにおいて、ライトイネーブル信号／WEに使用する電源電圧の値をVCCレベルよりも高電圧レベルに設定すればよい。

【0066】基準高温度での動作時において、セルフリフレッシュ機能を動作させる時（下流検査工程のセルフリフレッシュ機能検査時も同様。ライトイネーブル信号／WEは電源電圧VCC以下）では、スーパー・ボルテージ判定回路2の出力はデフォルトのLowレベルになっているので、スーパー・ボルテージ判定回路2の出力を受けたPチャネル型MOSトランジスタP3は導通状態となり、並列に挿入された抵抗素子R1をバイパスするので抵抗値としてはトランジスタの導通抵抗を無視するとR2で決まる電位にNチャネル型MOSトランジスタN5のドレインが引き上げられ、その電位で制御される発振手段32のセルフリフレッシュ用基準クロック周期を所定の基準値の範囲になるように制御する。

【0067】すなわち、この時のセルフリフレッシュ用発振器3aの出力（＝セルフリフレッシュ用基準クロック）の周期は、従来例と同じになる様に抵抗素子R2の値を設計する。

【0068】他方、基準高温度での上流検査工程におけるセルフリフレッシュ機能の検査時（本発明では工程間余裕値を付加したい時に相当する）には、ライトイネーブル信号／WEの電位をテストプログラムにより電源電圧VCCよりも高電圧となるよう設定することで、スーパー・ボルテージ判定回路2の出力をHighレベルへ変化させる。

【0069】このHighレベルを受けたPチャネル型MOSトランジスタP3は非導通状態となり、並列に挿入された抵抗素子R1に電流が流れ抵抗値としては抵抗素子R1およびR2で決まる電位にNチャネル型MOSトランジスタN5のドレインが引き下げられ、その電位

で制御される発振手段32のセルフリフレッシュ用基準クロック周期を所定の基準値よりも長くなるように制御する。

【0070】この時のセルフリフレッシュ用発振器3aの出力(=セルフリフレッシュ用基準クロック)の周期は、従来例の $\alpha$ 倍になる様に予め抵抗素子R1の抵抗値を設計する。

【0071】一般に、セルホールドは温度勾配を持ち、周囲温度が高くなるとセルホールドの値は減少するが、この温度勾配は、同一製品ではほぼ一定の値となる。

【0072】また、試験時の周囲温度は均一に設定高温度(基準高温度)T[℃]であることが理想であるが、測定系の持つばらつきのため、設定高温度T[℃]に対して $\pm a$ [℃]の幅を容認している。

【0073】そのため、検査の各工程間では設定高温度のTypical値のみでなく、測定系のばらつき迄を含めた工程間余裕値をセルホールドに関して確保する必要がある。

【0074】つまり、同一周囲温度で検査を行うとしても、図5のグラフで示すように設定温度T[℃]に対して $\pm a$ [℃](下限値T-a、上限値T+a)のばらつきの振れがあるので、

$$(\text{セルホールド実力}(T-a)) - (\text{セルホールド実力}(T+a)) = b \text{ [ms]}$$

と、b [ms]以上の工程間余裕値を確保する必要がある。

【0075】もし、この工程間余裕値を確保しないと、上流検査工程において周囲温度=T-a[℃]で試験された半導体記憶装置が、下流検査工程では周囲温度=T+a[℃]で試験された場合には、上流検査工程で良品と判定されたものの中から新たな不良品が検出されることになる。

【0076】一方、セルフリフレッシュ機能試験において要求されるセルホールド時間tRefは「セルフリフレッシュを全Wordにわたって完了するのに必要な時間」であり、

1本のWord線をセルフリフレッシュするのに必要な時間=tRCSR

セルフリフレッシュ完了に必要なWord線本数=n

$$\begin{aligned} t_{\text{Ref}}(\text{特許}) &= t_{\text{Ref}}(\text{Normal}) + c/2 + b + c/2 \\ &= t_{\text{Ref}}(\text{Normal}) + b + c \end{aligned}$$

となる。

$$\begin{aligned} \text{倍率}\alpha &= t_{\text{Ref}}(\text{特許}) / t_{\text{Ref}}(\text{Normal}) \\ &= (t_{\text{Ref}}(\text{Normal}) + b + c) / t_{\text{Ref}}(\text{Normal}) \\ &= 1 + (b + c) / t_{\text{Ref}}(\text{Normal}). \end{aligned}$$

を導くことができる。

【0083】セルフリフレッシュを全Wordにわたって完了するのに必要な時間tRef(Normal)の具体的な値としては下流検査工程における選別規格値が入ることになる。

セルフリフレッシュ基準クロック周期=tOSC

分周値= $\beta$

とすると、

$$\begin{aligned} t_{\text{Ref}} &= t_{\text{RCSR}} \times n \\ &= t_{\text{OSC}} \times \beta \times n \end{aligned}$$

で求めることが出来る。

【0077】 $\beta$ 、nはどれも常数(回路構成で定まる自然数)であり、セルフリフレッシュを全Wordにわたって完了するのに必要な時間tRefの値はセルフリフレッシュ基準クロック周期tOSCによって一義的に決定され、特性もtOSCの其れに準じて決まる。

【0078】セルフリフレッシュ基準クロック周期tOSCの温度勾配を無くすようにした公知の技術もあるが、本発明では、勾配が正でも負でも、勿論、無くても包含出来るようにtOSC、tRefの温度勾配を、  
 $(t_{\text{Ref}}(T+a) - t_{\text{Ref}}(T-a)) \times n = c$  [ms]

として定めてある。

【0079】倍率 $\alpha$ は、上流検査工程における周囲温度が、T-a[℃]で下流検査工程における周囲温度がT+a[℃]であっても、下流検査工程で新たな不良品を出さないために設定するものである。

【0080】したがって、下流検査工程でT+a[℃]でのセルフリフレッシュ時に要求されるセルホールド時間をtHLD1とすると、

$$t_{\text{HLD1}} = t_{\text{Ref}}(\text{Normal}) + c/2$$

と置いた時、上流検査工程でT-a[℃]でのセルフリフレッシュ時に要求されるセルホールド時間をtHLD2とすると、

$$t_{\text{HLD2}} = t_{\text{Ref}}(\text{特許}) - c/2$$

であり、その値は、

$$t_{\text{HLD2}} = t_{\text{Ref}}(\text{Normal}) + c/2 + b$$

以上でなければならない。

【0081】よって、

$$t_{\text{Ref}}(\text{特許}) - c/2 = t_{\text{Ref}}(\text{Normal}) + c/2 + b$$

の式が成り立ち、

【0082】その結果、

【0084】セルフリフレッシュ周期(=tRCSR)はセルフリフレッシュ用基準クロック周期の整数(= $\beta$ )倍、tRefは更にセルフリフレッシュ周期の整数(=n)倍であるから、セルフリフレッシュ用基準クロックの周期を $\alpha$ 倍に変化させることで、tRCSR、t

$R_{ef}$ を $\alpha$ 倍に変化させることが出来る。

【0085】以上のことから、図2のグラフで示すように、セルフリフレッシュ機能検査(=高温度状態)の上流検査工程では、セルフリフレッシュを全Wordにわたって完了するのに必要な時間、すなわちセルデータ保持時間 $t_{Ref}$ が通常状態(=出来上り製品の状態)の $\alpha$ 倍で試験が行われるため、上流検査工程において温度的に最も条件の緩い $T-a$  [°C] (つまり、基準高温度Tの下限値)の条件で検査されたとしても、通常状態と同じセルデータ保持時間 $t_{Ref}$ で試験が行われる下流検査工程では、温度的に最も条件の厳しい $T+a$  [°C]でも同等のセルホールド要求となり、上流検査工程で良品となったものであれば下流検査工程で不良と判定されることはない。

【0086】上述したように、本発明の半導体記憶装置では、図2のグラフに示すように、高温度状態で行われるセルフリフレッシュ機能検査の上流検査工程では、セルデータ保持時間 $t_{Ref}$ が通常状態(=出来上り製品の状態)の $\alpha$ 倍で試験が行われるため、温度的に最も条件の緩い $T-a$  [°C]の条件で検査されたとしても、通常状態のセルデータ保持時間 $t_{Ref}$ で試験が行われる下流検査工程では、温度的に最も条件の厳しい $T+a$  [°C]でも同等のセルホールド要求となり、上流検査工程で良品となったものであれば下流検査工程で不良品と判定されることはない。

【0087】したがって、本来は上流検査工程で不良品とされるべき製品が、下流検査工程においてはじめてセルフリフレッシュ機能不良品として抽出されるのは、下流検査工程にとっては余分な検査時間を要することであり、そのような余分な時間の発生を、本発明を適用することにより未然に防ぐことができ、検査効率の向上が図れる。

【0088】また、回路的には、セルフリフレッシュ周期の値の如何に関らず出来上り製品の持つ特性の実数倍に出来ると云うシンプルな機能追加であり、殆どの回路を従来例と共に、或いは流用出来ることから設計も容易、かつ面積的にも最小限の増加で抑えることが出来る。

【0089】さらに、検査プログラムにおいても、考慮するのはライトイネーブル信号/WEのレベル制御だけで良く、測定系の改造も必要が無く、余計な負担増が無い。

【0090】次に第2の実施の形態を説明する。第2の実施の形態の回路図を示した図3を参照すると、上述した第1の実施の形態との相違点は、検査工程間余裕を付加する条件が異なる。すなわち、スーパー・ボルテージ判定回路2に代えてテストモード判定回路4を設けたことである。それ以外の構成要素は第1の実施の形態と同一であり、ここでの構成の説明は省略する。

【0091】また、テストモード判定回路4は、外部入

力信号である、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CE、ロウアアドレスストローブ/RAS、カラムアドレスストローブ/CAS、ライトイネーブル信号/WE、アドレス信号ADを入力し、真理値表に従ってデコードし、各種テストモードを判定する回路であり、併せて判定結果の保持を行う。

【0092】このテストモード判定回路4は、従来のセルフリフレッシュ機能付半導体記憶装置にも搭載されており、テストモード判定回路4の真理値表上の使用していない論理(=アドレス信号の組合せ)を追加、流用する。

【0093】例えば、JEDECにおいて制御PIN条件がMode Register Set状態の場合、外部入力信号の条件を示した表1、アドレス信号の真理値表を示した図4を参照すると、

【0094】

【表1】

CKE	/CS	/RAS	/CAS	/WE
...	...	...	...	...
1	0	0	0	0

【0095】表1に示すようにクロックイネーブルCKEのみHighレベルの時、JDEC Standard, Mode Register Set, Burst Read and Single, Write Use in Future, Vendor Specificがそれぞれ図3のように規定されている。

【0096】すなわち、Vendor SpecificはA0~A6は“V”、A7~A8は“1”、A9~A13は“X”と規定されているので、Vendor Specificの中なら、どんな組み合わせでもよいことになる。

【0097】例えば、組み合わせの一例を示す図5(a)、他の組み合わせ例を示す図5(b)の値をもつようにアドレスを決めればよい。

【0098】すなわち、セルフリフレッシュ周期に検査工程間余裕を付加したい時(=上流検査工程)には、第1の実施の形態ではライトイネーブル信号/WEの電位を電源電圧VCCよりも高電圧レベルにテストプログラムで指定していた。

【0099】このライトイネーブル信号/WEに代えて、モードレジスタセット命令時のアドレス信号の組合せを上述した図5(a)または図5(b)のVendor Specificのように、予め設計した組合せとする。

【0100】この組合せにすることで、セルフリフレッシュ用発振器3aの定電圧源31aの抵抗素子R1に並列に接続されたPチャネル型MOSトランジスタP3の

ゲート電位をL o wレベルからH i g hレベルへ変化させて非導通状態とし、定電圧源3 1 aの出力電位を、抵抗素子R 1 + R 2で決まる電位に引き下げ、セルフリフレッシュ用発振器3 aの周期を、Pチャネル型MOSトランジスタP 3が導通状態のときの整数倍に制御する。

【0101】これ以降の動作は、前述の通り第1の実施の形態と同じである。

【0102】次に第3の実施の形態を説明する。

【0103】前述した第1の実施の形態との相違点は、第1の実施の形態におけるセルフリフレッシュ用発振器3 aのセルフリフレッシュ周期選択手段3 1 aの抵抗素子R 1の抵抗値の変更を、Pチャネル型MOSトランジスタP 3によるバイパス方式からセレクタ方式に変更したことである。それ以外の構成要素は第1の実施の形態と同一であり、ここでの構成の説明を省略する。

【0104】すなわち、第3の実施の形態の回路図を示した図6を参照すると、セルフリフレッシュ用発振器3 bの定電圧源3 1 bは、スーパー・ボルテージ判定回路2の出力で非活性化され非導通状態になるPチャネル型MOSトランジスタP 3と、このトランジスタのソースが電源電圧VCCに接続されこのトランジスタのドレインに一端が接続される抵抗素子R 3と、スーパー・ボルテージ判定回路2の出力をインバータIV 3で極性反転した出力で活性化され導通状態になるPチャネル型MOSトランジスタP 4と、このトランジスタのソースが電源電圧VCCに接続されこのトランジスタP 4のドレインに一端が接続される抵抗素子R 4と、抵抗素子R 3およびR 4の他端が共通接続されその共通接続端と接地電位間に直列接続されかつゲートがドレインおよび次段のセルフリフレッシュ用基準クロックの発振手段3 2のクロック周期制御端子に共通接続されたNチャネル型MOSトランジスタN 5とを備える。

【0105】通常時（高温度検査時の下流検査工程時も同様）は、スーパー・ボルテージ判定回路2の出力がL o wレベルで、スーパー・ボルテージ判定回路2の出力を直接受けるPチャネル型MOSトランジスタP 3が導通状態になり、抵抗値小の方の抵抗素子R 3のみに電流が流れれる。インバータIV 3を介してスーパー・ボルテージ判定回路2の出力を受けるPチャネル型MOSトランジスタP 4は非導通状態になり、抵抗素子R 4には電流が流れれない。

【0106】この時の抵抗素子R 3の抵抗値は、図1におけるPチャネル型MOSトランジスタP 3が並列に挿入されていない抵抗素子R 2に等しくなるように予め設計時に設定しておく。

【0107】検査工程間余裕値を付加する時（高温度検査時の上流検査工程）は、スーパー・ボルテージ判定回路2の出力がH i g hレベルで、スーパー・ボルテージ判定回路2の出力をインバータIV 3を介して受けるPチャネル型MOSトランジスタP 4がL o wレベルで導通状

態になり、抵抗値大の抵抗素子R 4の方のみに電流が流れれる。

【0108】スーパー・ボルテージ判定回路2の出力がH i g hレベルで、スーパー・ボルテージ判定回路2の出力を直接受けるPチャネル型MOSトランジスタP 3は非導通状態になり、抵抗値小の抵抗素子R 3の方には電流が流れない。

【0109】この時の抵抗素子R 4の抵抗値は、図1において直列接続されていた上下の抵抗素子R 1およびR 2の各抵抗値の和に等しくなるように、予め設計時に定めておく。以降の動作は、前述の通り第1の実施の形態と同じである。

【0110】なお、上述した第3の実施の形態における抵抗値とその選択方式を図3に示した第2の実施の形態の構成に適用出来ることは明白である。

【0111】上述した実施例を適用した本発明のセルフリフレッシュ機能を備えた半導体記憶装置の検査方法は、半導体記憶装置の仕様に定める絶対最大定格のうち、動作周囲温度の上限に準じた基準高温度の雰囲気中で行う一次検査工程（上流検査工程）および二次検査工程（下流検査工程）下の各検査時に、基準高温度の変動許容範囲内で予め定められたセルフリフレッシュ機能の検査規格値を満たす半導体記憶装置選別手段として、上流検査工程下で変動許容範囲内の下限温度におけるセルフリフレッシュ完了に必要な時間を基準値の所定倍にして試験するために予め定める倍率である工程間余裕値の付加・削除手段を備えることを前提として次のステップで行われる。

【0112】本発明のセルフリフレッシュ機能を備えた半導体記憶装置の検査方法のフローチャートを示した図7を参照すると、上流検査工程では、テストプログラムにより外部信号のライトイネーブルバー信号／WEを電源電圧VCCよりも高電圧レベルにするステップを実行する（処理ステップS 1）。

【0113】次に、高電圧レベルに応答して工程間余裕値の付加・削除手段の一方である例えばスーパー・ボルテージ判定回路2に論理レベルのH i g hレベルを出力させるステップを実行する（処理ステップS 2）。

【0114】次に、H i g hレベルに応答して工程間余裕値の付加・削除手段の他方であるセルフリフレッシュ周期選択手段3 1 aまたは3 1 bにより下流検査工程の検査規格値に対して両工程間の工程間余裕値を付加させるステップを実行する（処理ステップS 3）。

【0115】次に、前段のステップで付加された工程間余裕値を加えたセルホールド時間でセルフリフレッシュ機能を検査するステップを実行する（処理ステップS 4）。

【0116】これらのステップに順じて検査した上流検査工程で得られた良品に対し下流検査工程では、テストプログラムによりライトイネーブルバー信号／WEを電

源電圧VCC以下のレベルにするステップを実行する（処理ステップS5）。

【0117】次に、電源電圧以下のレベルに応答してスーパー・ボルテージ判定回路2に論理レベルのLo・wレベルを出力させるステップ（処理ステップS6）と、Lo・wレベルに応答して工程間余裕値のセルフリフレッシュ周期選択手段31aまたは31bにより両工程間の工程間余裕値を削除させるステップを実行する（処理ステップS7）。

【0118】次に、工程間余裕値が削除されたセルホールド時間でセルフリフレッシュ機能を検査するステップを実行する（処理ステップS8）。

【0119】上述したステップに順じて検査することにより、下流検査工程で高温度が許容範囲の上限値にずれても、上流検査工程で良品であれば下流検査工程での検査規格を満足させることができる。

#### 【0120】

【発明の効果】上述したように、本発明のセルフリフレッシュ機能を備えた半導体記憶装置およびその検査方法は、絶対最大定格の動作周囲温度の上限に準じる基準高温度状態で行われるセルフリフレッシュ機能検査の上流検査工程では、セルフリフレッシュ時のセルデータ保持時間 $t_{RF}$ が通常状態（=出来上り製品状態）の $\alpha$ 倍で試験が行われるため、温度的に最も条件の緩い $T-a$  [°C]の条件で検査されたとしても、通常状態時のセルフリフレッシュ周期のセルデータ保持時間 $t_{RF}$ で試験が行われる下流検査工程では、温度的に最も条件の厳しい $T+a$  [°C]でも同等のセルホールド要求となり、上流検査工程で良品となったものであれば下流検査工程で不良品と判定されることは無く、検査効率の向上が図れる。

#### 【0121】

また、回路的には、セルフリフレッシュ周

期の値の如何に関らず出来上り製品の持つ特性の実数倍に出来ると云うシンプルな機能追加であり、殆どの回路を従来例と共に用いることから設計も容易、かつ面積的にも最小限の増加で抑えることが出来る。

【0122】さらに、検査プログラムにおいても、考慮するのはライトイネーブル信号/WEのレベル制御だけで良く、測定系の改造も必要が無く、余計な負担増が無い。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の回路図である。

【図2】本発明における半導体記憶装置のデータ保持時間温度特性およびセルフリフレッシュ周期温度特性を示す図である。

【図3】本発明の第2の実施の形態の回路図である。

【図4】モードレジスタセット命令時のアドレス信号の組合せを示した図である。

【図5】アドレス信号の真理値表を示した図である。

【図6】本発明の第3の実施の形態の回路図である。

【図7】本発明のセルフリフレッシュ半導体記憶装置の検査方法のフローチャートである。

【図8】従来の半導体記憶装置のセルフリフレッシュに関する主要部の回路例である。

【図9】従来の半導体記憶装置のデータ保持時間温度特性およびセルフリフレッシュ周期温度特性を示す図である。

#### 【符号の説明】

1 モード判定回路

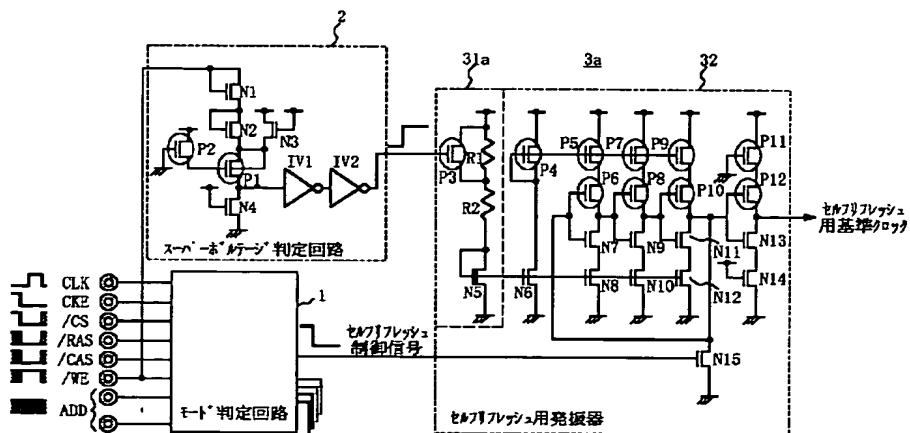
2 スーパー・ボルテージ判定回路

3a, 3b, 3c セルフリフレッシュ用発振器

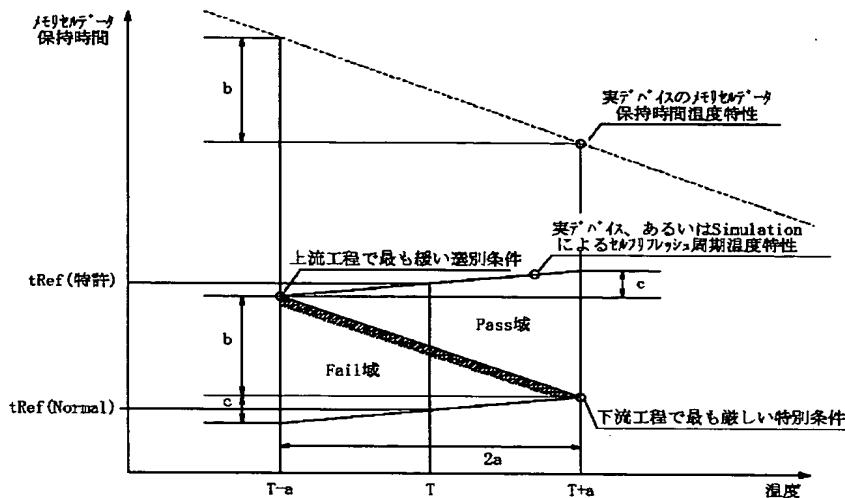
4 テストモード判定回路

31a, 31b セルフリフレッシュ周期選択手段

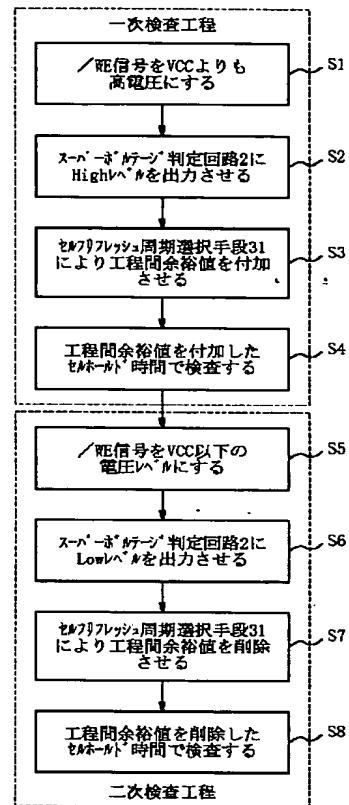
【図1】



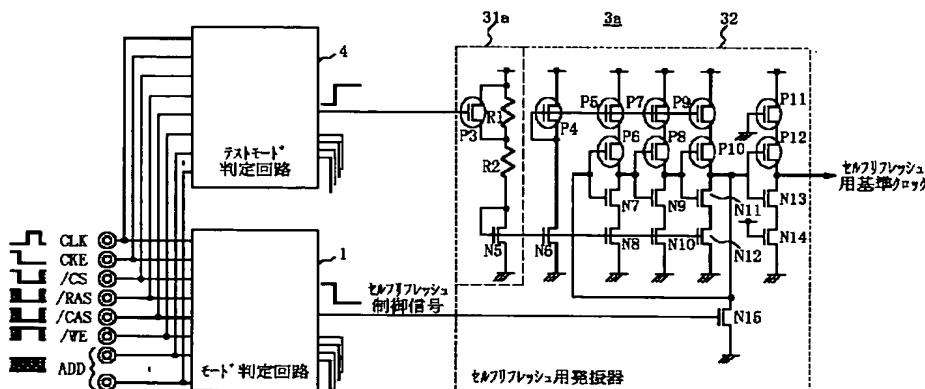
【図2】



【図7】



【図3】



【図4】

A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
...	...	...	...	...	...	...	...	...	...	...	...	...	...
0	0	0	0	0	0	1	X	X	X	X	X	X	X
X	X	X	X	0	0	0	V	V	V	V	V	V	V
X	X	X	X	1	0	0	V	V	V	V	V	V	V
X	X	X	X	X	1	0	X	X	X	X	X	X	X
X	X	X	X	X	1	1	V	V	V	V	V	V	V

JEDEC Standard  
Burst Read and Single Write  
Mode Register Set  
Use in Future  
Vendor Specific

V=Valid    X=Don't care

【図5】

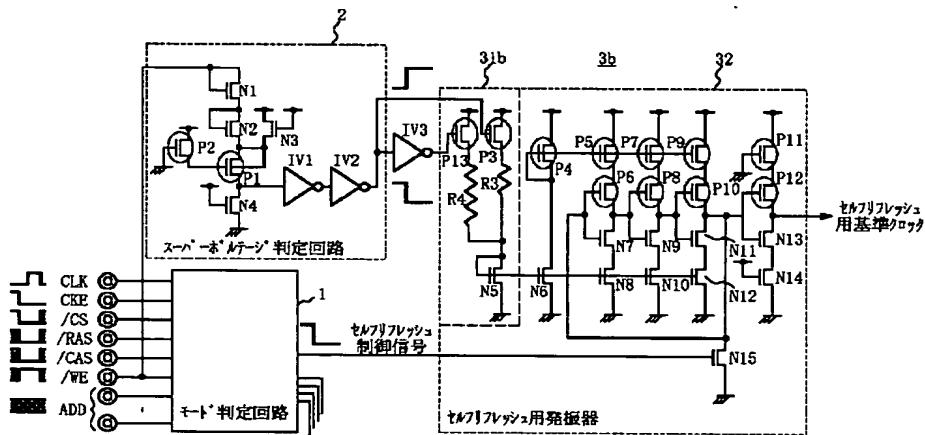
A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
...	...	...	...	...	...	...	...	...	...	...	...	...	...
X	X	X	0	0	1	1	0	1	1	1	1	1	1

(a)

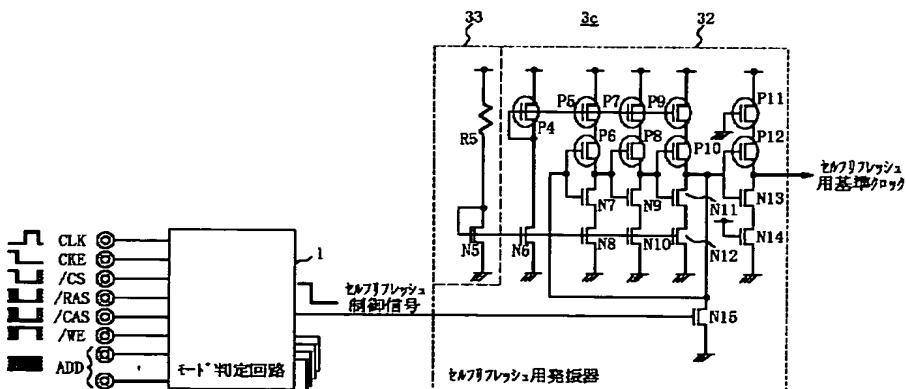
A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
...	...	...	...	...	...	...	...	...	...	...	...	...	...
X	X	X	0	0	1	1	1	1	1	1	1	1	0

(b)

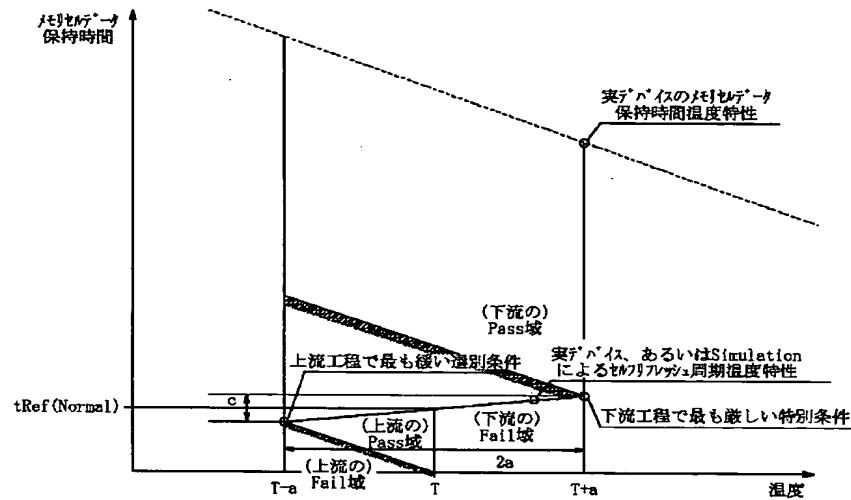
【図6】



【図8】



【図9】



フロントページの続き

Fターム(参考) 2G003 AA08 AC01 AF06 AH05  
2G132 AA08 AB04 AB14 AD01 AG09  
AK07 AL11  
5L106 AA01 DD00 DD11 EE06 FF02  
5M024 AA40 AA91 BB22 BB30 BB39  
BB40 EE05 EE26 EE30 MM04  
MM06 PP01 PP03 PP08 PP10